



National Semiconductor baut auf Six Sigma Halbleiter-Chipfabriken sind für diese Optimierungsmethode ideal geeignet

Mark Seay, der Verantwortliche für Six Sigma bei National Semiconductor, und sein Team: Lorena Dudman, Winnie Alvarez, Blaise Gomes und Andy Lutz

ZUSAMMENFASSUNG

Im Fokus

National Semiconductor

Die Herausforderung

Messbare Leistungen wie Ausbeute, Taktzeit und Kosten optimieren

Die Lösung

iGrafx® Process™ for Six Sigma

Die Vorteile

Bei der Durchführung der ersten Serie mit 52 Projekten konnte eine 84-prozentige Erfolgsquote verzeichnet werden. Als Ergebnis wurden direkte und indirekte Einsparungen in zweistelliger Millionenhöhe verbucht. Die zweite Serie von Six Sigma-Programmen hatte ähnliche Einsparungen bei 44 Projekten zum Ziel. Die dritte Serie wurde Anfangs 2005 gestartet.

Der Hintergrund

Die Herstellung von Halbleitern ist einer der komplexesten Prozesse im Bereich der Einzelteilfertigung. Vom Siliziumdioxid bis zum abgepackten integrierten Schaltkreis (IC; Integrated Circuit) umfasst die Herstellung von Halbleitern über 200 Schritte und 75 Geräte. Viele dieser Arbeitsschritte müssen in einem Reinraum durchgeführt werden, in dem in einem Luftvolumen von einem Kubikfuß höchstens ein Staubpartikel, das größer als 0,5 µm ist, vorkommen darf. Die Ausbeute („Yield“), das heißt die Menge der Produkte, die alle Tests bestehen und als gut befunden werden, reicht von 40 % bei Mikroprozessoren bis zu fast 100 % bei ausgereiften und weniger komplexen Teilen. Bei so vielen Arbeitsabläufen ist es eine wahre Herkulesarbeit, die Variablen einzukreisen und zu verringern, also eine perfekte Arbeit für Six Sigma.

National Semiconductor baut auf Six Sigma

Es ist gut möglich, dass sich in Ihrer aller-nächsten Umgebung ein von National Semiconductor hergestellter integrierter Schaltkreis befindet: in Ihrem Handy, Ihrem Laptop, Ihrem Monitor oder in einem anderen elektronischen Gerät auf Ihrem Arbeitstisch oder in Ihrer Aktentasche. Das im Silicon Valley ansässige Unternehmen ist ein führender Hersteller im Bereich der integrierten Analogschaltung – Chips die aus der wirklichen Welt stammende Impulse in digitale Informationen umwandeln.

Obwohl National sich schon immer rühmen konnte, Produkte höchster Qualität herzustellen – die Fehlerquote liegt bei weniger als 20 fehlerhaften Teilen pro Million hergestellter Teile –, sah es wie jedes andere Unternehmen Möglichkeiten der Optimierung, vor allem im Bereich der internen Ausbeute. Aus diesem Grund hat Kamal Aggarwal, Executive Vice President der

Central Technology and Manufacturing Group (CTMG) bei National, letztes Jahr angeordnet, dass in allen Geschäftseinheiten der CTMG Six Sigma einzusetzen sei.

„Als Aggarwal 1996 Executive Vice President von CTMG wurde, war sein erstes Bestreben, die wichtigsten messbaren Leistungen – Ausbeute, Taktzeit, Kosten – der CTMG zu verbessern“, erinnert sich Mark Seay, der Verantwortliche für Qualität und Six Sigma bei National. „Darauf konzentrierten wir uns die ersten vier bis fünf Jahre“, erklärt Seay. „Wir haben große Fortschritte gemacht und haben in diesen drei Bereichen ein Niveau erreicht, das man als Weltklasse bezeichnen kann.“

Der nächste größere Schub erfolgte im Jahr 2000 und zwar mit einem umfassenden Versuch der kontinuierlichen Verbesserung (CI; Continuous Improvement) in allen Bereichen der CTMG. Die Bemühungen zeitigten zwar gute Ergebnisse, waren aber nicht konsistent. Jede Einheit – das heißt die drei Fabriken zur Herstellung von Siliziumscheiben in Texas, Maine und dem Vereinigten Königreich, die drei Montageanlagen in Singapur, Malaysia und China und die TMG-Hauptniederlassung in Santa Clara, Kalifornien – wandte ihre eigene Methode der Qualitätsoptimierung an. „Allen Einheiten wurde es in gewisser Weise selbst überlassen herauszufinden, was ‚kontinuierliche Optimierung‘ bedeutet“, erinnert sich Seay. „Natürlich wurden viele Verbesserungen erzielt. Aber es war schwierig, die einzelnen Standorte und ihre CI-Aktivitäten miteinander zu vergleichen.“

Deswegen übertrug National Semiconductor im Jahre 2001 der Firma GE Consulting den Auftrag, ein Six Sigma-Konzept in die Wege zu leiten. Die Idee stieß auf denselben Widerstand, wie er in so vielen Unternehmen anzutreffen ist. „Alle Angestellten hatten das Gefühl, dass sie ‚das ja bereits

Wahl der Software

Auch die Ressourcen eines Unternehmens der Größe von National Semiconductor, das über 9000 Mitarbeiter beschäftigt, sind nicht unbeschränkt. Bei Wahl der richtigen Software verlaufen Six Sigma-Projekte reibungsloser und es kann Zeit und Personal eingespart werden.

Prozessablauf — National Semiconductor benutzt iGrafx Process for Six Sigma, eine Prozessablaufs- und Simulations-Software von iGrafx. Mit iGrafx kann das Six Sigma-Team bestehende Prozessabläufe simulieren. Veränderungen können auf ihre Effizienz hin überprüft und analysiert werden, bevor sie in die Wirklichkeit umgesetzt werden. Für Datenanalysen können die Simulationsdaten zudem in JMP® importiert werden. Eine visuelle Darstellung des Prozessablaufs führt oft zu einem besseren Verständnis des Prozesses.

Die Tatsache, dass JMP integrativ mit iGrafx Process for Six Sigma verwendet werden kann, ist ein weiteres Plus.

taten“, erklärt Seay. „Das für die Qualitätssicherung verantwortliche Personal und die Prozessingenieure bei National Semiconductor arbeiteten bereits mit Six Sigma-Werkzeugen und sie dachten, „sie seien recht gut darin“, sagt Seay. Die allgemeine Meinung war, dass ein Six Sigma-Programm nichts Neues bringen würde.

Six Sigma wurde für ein weiteres Jahr aufs Eis gelegt, bis Aggarwal anlässlich des zweimal jährlich stattfindenden CTMG-Treffens zur Wiederbelebung von Six Sigma eine neue Consulting-Firma ins Spiel brachte. Thomas A. Little Consulting hatte bereits Erfahrung mit High-Tech-Arbeitsabläufen, die vieles gemeinsam hatten mit der Fertigung von Halbleitern (Fertigung von Laufwerken). Die Consulting-Firma brachte zudem ein überzeugendes Argument für den Einsatz von Six Sigma für die stark prozessgesteuerten Fertigungsmethoden in der Halbleiterbranche. Dies war überzeugend genug, um C.S. Liu, den damaligen Senior Vice President der Niederlassung in Melaka, Malaysia, zu veranlassen, ein 10 Projekte umfassendes Six Sigma-Pilotprogramm zu starten.

Neun Monate später, am nächsten CTMG-Treffen, zeigte DuPont Electronic, einer der wichtigsten Zulieferer von National Semiconductor, in einer Präsentation, wie Six Sigma quantifiziert werden kann. Diese Präsentation und die Ergebnisse der 10 Pilotprojekte in Melaka (anfängliche Einsparungen von beinahe 900.000 US-Dollar und voraussichtliche jährliche Einsparungen in der Höhe von fast 2,3 Millionen US-Dollar) haben Aggarwal davon überzeugt, Six Sigma in allen Geschäftseinheiten von CTMG zur Anwendung zu bringen. Im Juni 2003 wurde mit der ersten Projektreihe begonnen. Seit diesem Zeitpunkt sind 52 Projekte durchgeführt worden, wobei eine 84-prozentige Erfolgsquote verzeichnet werden konnte. Dies hat zu direkten und indirekten Einsparungen in zweistelliger Millionenhöhe geführt.

Im März 2004 startete CTMG eine zweite Reihe von Six Sigma-Programmen mit dem Ziel, ähnliche Einsparungen aus 44 Projekten zu erzielen. Vier dieser Projekte sollen Probleme lösen, die an mehreren Standorten existieren; neun befassen sich mit Optimierungen im Bereich der Kundenzu-

friedenheit, der Qualität oder der Betriebssicherheit.

Six Sigma in Aktion

Ein Beispiel für ein Projekt aus der zweiten Reihe ist das Projekt, das in der Niederlassung von National Semiconductor in South Portland, Maine, durchgeführt wurde, wo moderne CMOS-Geräte für Kunden wie Samsung, Motorola und Nokia hergestellt werden.

Die Niederlassung sah eine Möglichkeit, die Erträge bei einem 0,35µm-Fertigungsprozess (das kleinste Element auf den Siliziumscheiben ist 0,35 µm groß) zu optimieren, indem die Ursachen für Abweichungen im Fertigungsprozess gefunden und eliminiert würden.

CTMG befolgte das DMAIC-Protokoll von Six Sigma und ergriff dazu die im Folgenden ausgeführten Maßnahmen. Einige der Daten sind sensibel und werden daher absichtlich nicht exakt wiedergegeben.

Definieren

Das Problem – Die Chipfabrik hatte festgestellt, dass sie bei der Durchführung des letzten Elektrotests (ET) Ausfälle erlitt, die mit überhöhten Stromleckagen und elektrischen Durchbrüchen der Gateoxidschicht bei den Transistoren zusammenzuhängen schienen. Eine erste Untersuchung der ET-Ausbeute über einen Zeitraum von 18 Wochen zu Beginn des Projekts zeigte, dass sich Möglichkeiten boten, den Ertrag bei allen Siliziumscheiben, die mit dieser Technik hergestellt wurden, um 1,5 Prozent zu erhöhen.

Aufgrund ihrer Erfahrungen mit anderen Techniken wussten die Ingenieure der South Portland-Produktionsanlage, dass es möglich war, in ihrer Chipfabrik Weltklasseleistungen für diesen Typ von IC zu erzielen. Die Lücke in der Ausbeute bedeutete außerdem, dass ein zusätzlicher Profit von über 1 Million US-Dollar nicht genutzt wurde.

Die Ziele – Nachdem das Team unter der Leitung von Stephan Swan, Leiter Verfahrenstechnik, und Burcay Gurcan, leitender Produktioningenieur, ein Baseline für die Ausbeute festgelegt hatte, setzte der Promotor („Champion“) der Produktionsanlage das Ziel fest, die durch Transistorleckagen und Durchbrüchen bei den Gateoxidschichten verursachten systematis-

chen Ertragseinbussen zu eliminieren. Außerdem hatte das Team die Aufgabe, einen statistischen Prozesssteuerplan zur Messung der für den Prozessablauf ausschlaggebenden Parameter zu erstellen, der dazu verwendet werden konnte zu verhindern, dass fehlerhafte Siliziumscheiben überhaupt bis zum letzten Elektrottest gelangten.

Messen

Anhand eines Pareto-Diagramms der die Gründe aufzeigte, warum die Siliziumscheiben den Elektrottest nicht bestanden, konnten drei Prozessmodule ausgemacht werden, die überhöhte Schwankungen im Fabrikationsprozess zeigten. Diese Module umfassen die Bildung der Abstandshalter (spacer formation), die Kanal-Implantate (channel implants) und die Reinigungsschritte nach der Implantation (post-implant acid cleaning steps). Weitere fehlerverdächtige Bereiche, die während den Brainstormings des Teams herausgefiltert wurden, konnten ausgeschieden werden, indem Gemeinsamkeitsstudien früherer Vorfälle durchgeführt, das Problem mit Experten besprochen und bereits zuvor erfolgte Experimente neu bewertet wurden.

Analysieren

In der analytischen Phase wurden sieben Faktoren mit Auswirkungen auf die drei Schlüsselausfallarten ausgemacht. Mit der DOE-Funktion der Statistiksoftware JMP (DOE steht für „Design of Experiments“) entwickelte das Team drei Experimente, um zu bestimmen, welche der Wechselbeziehungen die Ausbeute am stärksten beeinflusste.

DOE 1—Transistor-Leckage zwischen Drain und Source. Ausfallarten: Verunreinigungen des Siliziums, Steuerung der Schwellenspannung, physikalische Beschädigung
Faktoren: VTN-Implantat (VTN implant), Abstandshalter-Auftrag (spacer dep), Abstandshalter-Reiniger (spacer clean), Abstandshalter-Ätzung (spacer etch)

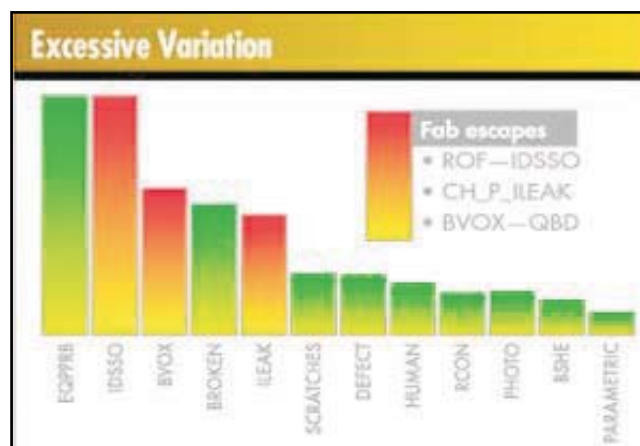
DOE 2— P-Kanal-Kontaktleckage (P channel contact leakage). Ausfallarten: Feste Ladung (fixed charge), Verunreinigungen

des Siliziums Faktoren: Post-poly SC1-Reiniger (post-poly SC1 cleans), HCL:H2O2-Reiniger

DOE 3— Gate-Durchbruchsspannung. Ausfallarten: Plasma-Budget, Verunreinigungen des Siliziums. Faktoren: Legierung, Abstandshalter-Auftrag, Abstandshalter-Ätzung

Verbessern

Vor der Durchführung der DOEs hatte das Team bereits genug Daten gesammelt, um zu erkennen, dass bei bestimmten fabrikinernen Prozessparametern in den Transistormodulen engere Regulierungen erforderlich waren. Dem Team gelang es mit der zeitigen Einführung solcher Regulierungen, nach nur zwei Monaten Optimierungen bei der Ausbeute zu erzielen. Als die Ergebnisse der DOE bekannt wurden, konnte das Team die vorangegangenen Maßnahmen überprüfen und das Prozessfenster für diese kritischen Schritte vollständig beschreiben. Im Optimierungsschritt nutzte das Team die Ergebnisse der im vorhergehenden Analyseschritt durchgeführten DOEs, um die nötigen Änderungen an den Spezifikationen, Verfahren und Geräten vorzunehmen. Mit diesen Änderungen wurde sichergestellt, dass Abweichungen in den Abstandshalter-, Implantat- und Säurereinigungsschritten die Ausbeute beim Elektrottest nicht beeinträchtigten.



Steuerung

Um sicherzustellen, dass die entwickelten Prozessoptimierungen von Bestand waren, wurde ein Kontrollplan entwickelt und an die Produktionsgruppe weitergeleitet. Anhand von Regelkarten, Regelgrenzen, Stichprobenplänen sowie Messmittelfähigkeits- und „Out of Control“-Maßnahmenplänen bestimmte dieser Kontrollplan die Voraussetzungen für alle für die funktionsweise kritischen Parameter.

Mit der Einführung verbesserter Prozesssteuerungsmethoden gelang es dem Team sogar, das anfänglich gesetzte Ziel zu übertreffen. Darüber hinaus haben die durch die Prozessoptimierungen erzielten höheren Leistungen den Designern von National Semiconductor bei ihren Bemühungen, neue Produkte für den analogen Markt zu entwickeln, einen Wettbewerbsvorteil gebracht.

Binnen sechs Monaten nach Start des Projekts haben die ergriffenen Maßnahmen die Ausbeute um über 1,5 Prozent erhöht, was jährlichen Einsparungen von 1,1 Million US-Dollar entspricht. Das Projekt dauerte etwa neun Monate.

Die Reise ist noch nicht zu Ende

CTMG ist noch nicht am Ende der „Six Sigma“-Reise angekommen; die dritte Projektserie mit dem Schwerpunkt „Design for Six Sigma“ (DFSS) wurde anfangs dieses Jahres gestartet. In der Audioproduktlinie sind Pilotprogramme zur Optimierung des „New Product Phase Review System“ (NPPRS) mithilfe von DFSS-Anwendungen bzw. -Methoden im Lauf. Die mit diesem Pilotprogramm gewonnenen Erfahrungen werden dazu genutzt, NPPRS-Optimierungen im gesamten Unternehmen zu durchzuführen.

Über den Autor

Dirk Dusharme ist Chefredaktor des Quality Digest. Bitte senden Sie Ihre Kommentare an comments@qualitydigest.com.

Für weitere Informationen:

Hauptsitz EMEA

Dr.-Johann-Heitzer-Straße 2
85757 Karlsfeld b. München
Tel.: +49 (0) 8131 3175 100
Fax: +49 (0) 8131 3175 101
info.de@igrafx.com
www.igrafx.de

Vertretungen in:

USA - Weltweiter Stammsitz
UK & Irland
Dänemark
Österreich
Japan
Australien
Polen
Frankreich
Italien
Mexiko
Korea

Weitere Kontaktdaten:

www.iGrafx.de/contact